

THÔNG TIN VỀ LUẬN ÁN TIẾN SĨ

1. Họ và tên nghiên cứu sinh: Lê Văn Thanh Vũ 2. Giới tính: Nam
3. Ngày sinh: 20/05/1977 4. Nơi sinh: Thừa Thiên- Huế..
5. Quyết định công nhận nghiên cứu sinh số: 3205/QĐ-SĐH, ngày 08 tháng 11 năm 2010 của Giám đốc ĐHQG Hà Nội.
6. Các thay đổi trong quá trình đào tạo: Bổ sung PGS.TS Trần Xuân Tú vào tập thể hướng dẫn theo Quyết định số: 822/QĐ-ĐT ngày 16 tháng 10 năm 2012 của Hiệu trưởng Trường Đại học Công nghệ.
7. Tên đề tài luận án: Giải pháp mạng trên chip tái cấu hình cho các hệ thống phức hợp.
8. Chuyên ngành: Kỹ thuật điện tử..... 9. Mã số: 62 52 02 03
10. Cán bộ hướng dẫn khoa học:
 1. Hướng dẫn chính: PGS.TS Trần Xuân Tú
 2. Hướng dẫn phụ: PGS.TS Ngô Diên Tập
11. Tóm tắt các **kết quả mới** của luận án:
 - 1) Đề xuất giải pháp cập nhật thông tin định tuyến cho mạng trên chip tái cấu hình có khả năng tự thích ứng với các thay đổi cấu hình do có bộ định tuyến rời khỏi mạng. Giải pháp cập nhật định tuyến cho phép thay đổi đường đi của thông tin linh hoạt để thích ứng với các thay đổi cấu hình mạng trên chip ngay cả khi hệ thống đang hoạt động. Đồng thời, giải pháp này vẫn giữ được ưu điểm của hoạt động định tuyến tĩnh tại nguồn cho các giao tác truyền thông không tái cấu hình để bảo đảm được hiệu quả truyền thông tối ưu cho toàn hệ thống.
 - 2) Phát triển kiến trúc bộ định tuyến có khả năng tái cấu hình nhằm thực thi giải pháp nêu trên. Tiếp đó, kiến trúc này được mô hình hóa để đánh giá hoạt động truyền thông tái cấu hình. Kiến trúc bộ định tuyến đã được mô hình hóa bằng ngôn ngữ phần cứng VHDL ở mức chuyển dịch thanh ghi (RTL: Register Transfer Level) và thực thi với công nghệ CMOS 130nm của hãng Global Foundry (Hoa Kỳ).
 - 3) Trong luận án này, chúng tôi cũng phát triển phương pháp mô hình hóa, mô phỏng đa lớp sử dụng các ngôn ngữ mô tả phần cứng khác nhau (C++, SystemC, VHDL) để xây dựng nền tảng đánh giá hoạt động truyền thông mạng trên chip. Nền tảng

đề xuất cho phép mô phỏng và đánh giá nhanh hiệu năng truyền thông mạng trên chip với các kịch bản đánh giá đa dạng cho cả mạng trên chip và mạng trên chip tái cấu hình.

12. Khả năng ứng dụng trong thực tiễn: *(nếu có)*.....

13. Những hướng nghiên cứu tiếp theo: *(nếu có)*

14. Các công trình đã công bố có liên quan đến luận án:

1. Nam-Khanh Dang, Thanh-Vu Le-Van, Xuan-Tu Tran (2011), “FPGA Implementation of a Low Latency and High Throughput Network-on-Chip Router Architecture”, in Proceeding of the 2011 International Conference on Integrated Circuits, Design, and Verification (ICDV 2011), pp. 112-116, Hanoi, August 2011, ISBN: 978-4-88552-258-1.
2. Thanh-Vu Le-Van, Dien-Tap Ngo, Xuan-Tu Tran (2012), “A SystemC based Simulation Platform for Network-on-Chip Architectures”, in Proceeding of the 2011 International Conference on Integrated Circuits, Design, and Verification (ICDV 2012), pp. 132-136, Danang, August 2012, ISBN: 978-4-88552-264-2.
3. Thanh-Vu Le Van, Xuan-Tu Tran (2012), “Simulation and Performance Evaluation of a Network-on-Chip Architecture based on SystemC”, in Proceeding of the 2012 International Conference on Advanced Technologies for Communications (ATC 2012), pp. 170-175, Hanoi, Vietnam, October 2012, ISBN: 978-1-4673-4350-3.
4. Thanh-Vu Le Van, Hai-Phong Phan, Xuan-Tu Tran (2014), “High-Level Modeling of a Novel Reconfigurable Network-on-Chip Router”, in Proceeding of the First NAFOSTED Conference on Information and Computer Science (NICS 2014), 13-14 March 2014, Hanoi, Vietnam, ISBN: 978-604-67-0228-3.
5. Thi-Thuy Nguyen, Thanh-Vu Le-Van, Hung K. Nguyen, Xuan-Tu Tran (2016), “Routing-path Tracking and Updating Mechanism in Reconfigurable Network-on-Chips”, in Proceeding of the 2016 IEEE International Conference on Integrated Circuits Design and Technology (ICICDT 2016), 27-29 June 2016, Ho Chi Minh city, Vietnam.
6. Thanh-Vu Le-Van, Xuan-Tu Tran (2014), “High-Level Modeling and Simulation of a Novel Reconfigurable Network-on-Chip Router”, REV Journal on Electronics and Communications (JEC), pp. 68-74, Vol. 4, No. 3-4, July-December, 2014, ISSN: 1859-387X.
7. Hung K. Nguyen, Thanh-Vu Le-Van, Xuan-Tu Tran (2017). "A Survey on Reconfigurable System-on-Chips". REV Journal on Electronics and Communications (JEC), ISSN: 1859–387X (Accepted, Major Revision)

Ngày tháng năm 20

Xác nhận của cán bộ hướng dẫn

(Kí và ghi rõ họ tên)

Ngày tháng năm 20

Nghiên cứu sinh

(Kí và ghi rõ họ tên)

INFORMATION ON DOCTORAL THESIS

1. Full name : Le Van Thanh Vu..... 2. Sex: Male.....
3. Date of birth: 20/05/1977 4. Place of birth: Thua Thien - Hue
5. Admission decision number: 3205/QĐ-SĐH Dated: 08/11/2010
6. Changes in academic process:

(List the forms of change and corresponding times)

7. Official thesis title: Reconfigurable Network-on-Chip Solution for Complex Systems
8. Major: Electronics Engineering..... 9. Code: 62 52 02 03
10. Supervisors:

1. Main supervisor: PGS.TS Trần Xuân Tú
2. Slave supervisor: PGS.TS Ngô Diên Tập

11. Summary of the **new findings** of the thesis:

- 1) Proposed a reconfiguration solution for network-on-chip architectures which allows modifying routing information of the network. Hence, the network becomes more adaptive when there are some faulty routers (i.e., some routers left the network). This solution can change routing path dynamically even when the system is operating without changing the original routing algorithms.
- 2) Developed the micro-architecture of the network routers to implement the above solution. Then, the developed architecture has been modelled using VHDL at Register-Transfer-Level and has been implemented with Global Foundry CMOS 130nm technology. This helps us to evaluate the proposed method at architectural level.
- 3) In this thesis, I also developed NoC simulation and evaluation platform using multi hardware descripton langage (C++, SystemC, VHDL) to verify and evaluate the communication activities of NoC architectures. This platform was used to evaluate the communication performance of both traditional and reconfigurable network-on-chip architectures.

12. Practical applicability, if any:

13. Further research directions, if any:

14. Thesis-related publications:

1. Nam-Khanh Dang, Thanh-Vu Le-Van, Xuan-Tu Tran (2011), “FPGA Implementation of a Low Latency and High Throughput Network-on-Chip Router Architecture”, in Proceeding of the 2011 International Conference on Integrated Circuits, Design, and Verification (ICDV 2011), pp. 112-116, Hanoi, August 2011, ISBN: 978-4-88552-258-1.
2. Thanh-Vu Le-Van, Dien-Tap Ngo, Xuan-Tu Tran (2012), “A SystemC based Simulation Platform for Network-on-Chip Architectures”, in Proceeding of the 2011 International Conference on Integrated Circuits, Design, and Verification (ICDV 2012), pp. 132-136, Danang, August 2012, ISBN: 978-4-88552-264-2.
3. Thanh-Vu Le Van, Xuan-Tu Tran (2012), “Simulation and Performance Evaluation of a Network-on-Chip Architecture based on SystemC”, in Proceeding of the 2012 International Conference on Advanced Technologies for Communications (ATC 2012), pp. 170-175, Hanoi, Vietnam, October 2012, ISBN: 978-1-4673-4350-3.
4. Thanh-Vu Le Van, Hai-Phong Phan, Xuan-Tu Tran (2014), “High-Level Modeling of a Novel Reconfigurable Network-on-Chip Router”, in Proceeding of the First NAFOSTED Conference on Information and Computer Science (NICS 2014), 13-14 March 2014, Hanoi, Vietnam, ISBN: 978-604-67-0228-3.
5. Thi-Thuy Nguyen, Thanh-Vu Le-Van, Hung K. Nguyen, Xuan-Tu Tran (2016), “Routing-path Tracking and Updating Mechanism in Reconfigurable Network-on-Chips”, in Proceeding of the 2016 IEEE International Conference on Integrated Circuits Design and Technology (ICICDT 2016), 27-29 June 2016, Ho Chi Minh city, Vietnam.
6. Thanh-Vu Le-Van, Xuan-Tu Tran (2014), “High-Level Modeling and Simulation of a Novel Reconfigurable Network-on-Chip Router”, REV Journal on Electronics and Communications (JEC), pp. 68-74, Vol. 4, No. 3-4, July-December, 2014, ISSN: 1859-387X.
7. Hung K. Nguyen, Thanh-Vu Le-Van, Xuan-Tu Tran (2017). "A Survey on Reconfigurable System-on-Chips". REV Journal on Electronics and Communications (JEC), ISSN: 1859–387X (Accepted, Major Revision)

Date:

Signature:

Full name:

Date:

Signature:

Full name: