

**ĐẠI HỌC QUỐC GIA HÀ NỘI
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ**

Phan Hải Phong

**GIẢI PHÁP TỐI ƯU CÔNG SUẤT TIÊU THỤ
CHO CÁC KIẾN TRÚC MẠNG TRÊN CHIP**

Chuyên ngành: Kỹ thuật điện tử

Mã số: 62 52 02 03

**TÓM TẮT LUẬN ÁN TIẾN SĨ
CÔNG NGHỆ ĐIỆN TỬ VIỄN THÔNG**

Hà Nội – 2017

Công trình được hoàn thành tại: Trường Đại học Công nghệ, Đại học Quốc gia Hà Nội

Người hướng dẫn khoa học: PGS. TS. Trần Xuân Tú

Phản biện:

Phản biện:

Phản biện:

Luận án sẽ được bảo vệ trước Hội đồng cấp Đại học Quốc gia chấm luận án tiến sĩ họp tại:

vào hồi giờ ngày tháng năm

Có thể tìm hiểu luận án tại:

- Thư viện Quốc gia Việt Nam
- Trung tâm Thông tin - Thư viện, Đại học Quốc gia Hà Nội

Mở đầu

Kể từ khi vi mạch tích hợp đầu tiên được phát minh vào năm 1958 thì cho đến nay công nghệ vi mạch đã thực sự bùng nổ và có những bước phát triển nhanh chóng chỉ trong một quãng thời gian ngắn. Trong những năm gần đây, khi kỹ sư thiết kế tiếp cận với việc xây dựng các hệ thống trên chip (SoC: *System on Chip*) phức tạp thì quy trình thiết kế vi mạch theo hướng giảm thiểu năng lượng tiêu thụ đã trở thành một thách thức lớn. Các kỹ sư thiết kế đã áp dụng nhiều phương pháp khác nhau từ giải pháp phần mềm đến kiến trúc phần cứng ở mọi bước của quá trình thiết kế để có thể tối ưu hoá được năng lượng tiêu thụ trên vi mạch.

Bên cạnh đó, sự phát triển của các SoC phức tạp cũng đã thúc đẩy một mô hình truyền thông trên chip phát triển để thay thế cho các mô hình truyền thông truyền thống trước đó. Đó chính là mô hình của các mạng trên chip (NoC: *Network on Chip*). Tuy nhiên, cùng với sự gia tăng về số lượng lõi IP được tích hợp trên một chip thì năng lượng cần cung cấp cho NoC cũng chiếm một phần lớn năng lượng của toàn hệ thống. Chính vì vậy, việc nghiên cứu và phát triển các hệ thống mạng trên chip tiêu thụ ít năng lượng hơn đã và đang là một hướng nghiên cứu dành được nhiều sự quan tâm.

Từ những phân tích và đánh giá như trên, luận án này đã đặt ra mục tiêu là tìm hiểu, nghiên cứu và đề xuất giải pháp tối ưu công suất tiêu thụ cho các kiến trúc mạng trên chip. Với mục tiêu như vậy, luận án này tập trung vào một số nội dung nghiên cứu cụ thể như sau:

- Nghiên cứu về một số vấn đề cơ bản của mô hình mạng trên chip như: tô-pô mạng, cơ chế truyền thông, các thuật toán định tuyến, vấn đề điều khiển luồng dữ liệu. . .
- Nghiên cứu các phương pháp, kỹ thuật đang được ứng dụng hiện nay để thiết kế các vi mạch tích hợp với công suất tiêu thụ thấp. Tìm hiểu các kỹ thuật cũng như các quy trình thiết kế theo hướng tối ưu hóa năng lượng tiêu thụ áp dụng cho các hệ thống trên chip, mạng trên chip.
- Nghiên cứu, tìm hiểu một số kiến trúc mới hoặc một số thuật

toán định tuyến mới được phát triển gần đây nhằm giải quyết vấn đề giảm thiểu năng lượng tiêu thụ cho các mạng trên chip.

- Đề xuất một số giải pháp hoặc kỹ thuật mới để xây dựng một mô hình mạng trên chip theo hướng tối ưu hóa về công suất tiêu thụ.
- Áp dụng các giải pháp, kỹ thuật này vào mô hình mạng trên chip dạng 2D-mesh đang được phát triển tại Phòng thí nghiệm trọng điểm Hệ thống tích hợp thông minh (SISLAB), Trường Đại học Công nghệ. Đánh giá và phân tích hiệu quả của giải pháp đề xuất.

Để có thể đưa ra được một giải pháp đúng đắn theo mục tiêu nghiên cứu đã đề ra, luận án này đã áp dụng các phương pháp nghiên cứu như sau để có thể tiếp cận, phân tích và xây dựng được một mô hình phù hợp:

- Tìm hiểu tổng quan về lý thuyết và các công trình liên quan đến mô hình mạng trên chip cũng như các vấn đề cơ bản của loại mô hình truyền thông này. Đồng thời, tìm hiểu tổng quan lý thuyết về các kỹ thuật và phương pháp tối ưu năng lượng tiêu thụ khi thiết kế các vi mạch tích hợp. Nghiên cứu các phương pháp hoặc kỹ thuật thiết kế được áp dụng để xây dựng các mô hình mạng trên chip theo hướng tối ưu hóa năng lượng tiêu thụ.
- Xây dựng các phương án nhằm phân tích, đánh giá hoạt động của một mạng trên chip ở mức hệ thống để rút ra các đặc trưng liên quan đến năng lượng tiêu thụ. Từ đó tìm ra được các yếu tố ảnh hưởng đến vấn đề năng lượng tiêu thụ của toàn hệ thống.
- Đề xuất giải pháp điều khiển bằng phần cứng ở mức thấp để tối ưu hóa năng lượng tiêu thụ của hệ thống dựa trên các kỹ thuật tiên tiến. Mô hình hoá, mô phỏng và kiểm chứng kiến trúc đề xuất bằng cách áp dụng lên một hệ thống mạng trên chip dạng 2D-mesh để khẳng định hoạt động về mặt chức năng đề ra.

Với các kết quả cụ thể được trình bày trong Chương 3 và Chương 4, trong tầm hiểu biết của nghiên cứu sinh, có thể kết luận luận án đã đạt được mục tiêu nghiên cứu đặt ra. Các kết quả mà luận án đạt được tập trung vào ba nội dung chính sau:

- Đề xuất được một giải pháp dựa trên phương pháp điều khiển tỷ lệ tần số - điện áp động (DVFS) và thuật toán lô-gíc mờ để tối ưu được năng lượng tiêu thụ cho kiến trúc truyền thông mạng trên chip dạng 2D-mesh.
- Mô hình hoá và thực thi giải pháp được đề xuất dưới dạng phần cứng bằng ngôn ngữ mô tả phần cứng VHDL. Các khối thành phần của giải pháp đều được mô hình hoá ở mức chuyển dịch thanh ghi (RTL: *Register Transfer Level*) và đã được mô phỏng, kiểm chứng hoạt động lô-gíc bằng phần mềm mô phỏng Model-Sim.
- Đề xuất phương án cho phép đánh giá hiệu quả tiêu thụ năng lượng của mạng trên chip ở mức hệ thống khi có áp dụng các kỹ thuật điều khiển DVFS khác nhau thông qua nền tảng ORION, một mô hình cho phép ước lượng năng lượng tiêu thụ của mạng trên chip với độ chính xác cao.

Chương 1

Phương pháp thiết kế vi mạch theo hướng công suất tiêu thụ thấp

Chương này sẽ tập trung vào việc phân tích cụ thể một số nguyên nhân chính gây ra công suất tiêu thụ trên một mạch tích hợp để từ đó tìm hiểu và đánh giá hiệu quả của một số phương pháp thiết kế giúp giảm được công suất tiêu thụ của hệ thống. Chương này cũng sẽ tập trung phân tích và tìm hiểu về một phương pháp thiết kế theo hướng tiết kiệm năng lượng đang được áp dụng tương đối phổ biến trong các thiết kế vi mạch hiện nay, đó là phương pháp điều khiển tỷ lệ điện áp - tần số động (DVFS). Một số công trình tiêu biểu về việc ứng dụng phương pháp DVFS nhằm giảm năng lượng tiêu thụ cho hệ thống cũng sẽ được phân tích nhằm tìm ra một hướng tiếp cận phù hợp cho định hướng nghiên cứu của luận án này.

1.1 Năng lượng tiêu thụ trên mạch tích hợp

Công suất tiêu thụ của một vi mạch bao gồm hai thành phần chính: công suất tiêu thụ động (dynamic power) và công suất tiêu thụ tĩnh (static power). Trong đó, công suất tiêu thụ động là công suất mà vi mạch đó tiêu thụ khi các tín hiệu trong mạch có sự thay đổi về giá trị (thay đổi mức lô-gíc). Công suất tiêu thụ tĩnh là công suất mà một vi mạch tiêu thụ khi nó được cấp nguồn nhưng các tín hiệu trong mạch không có sự thay đổi về giá trị.

1.1.1 Công suất tiêu thụ động

Có nhiều nguyên nhân gây ra công suất tiêu thụ động trên một vi mạch. Nguyên nhân đầu tiên và cũng là nguyên nhân chính đó là công suất tiêu thụ gây ra bởi sự phóng nạp trên tụ điện ký sinh ở đầu ra của một cổng lô-gíc CMOS khi có sự thay đổi mức lô-gíc của tín hiệu trong mạch. Công suất này được gọi là công suất chuyển mạch (switching power).

1.1.2 Công suất tiêu thụ tĩnh

Trong một vi mạch, công suất tiêu thụ tĩnh là công suất mà vi mạch đó tiêu thụ khi được cấp nguồn mặc dù các tín hiệu trong mạch không

có sự thay đổi về mặt giá trị. Nguyên nhân chính gây ra công suất tiêu thụ tĩnh đó là do sự xuất hiện các dòng điện rò ở các transistor. Cùng với sự phát triển của công nghệ bán dẫn thì kích thước của transistor cũng ngày càng được thu nhỏ lại. Tuy nhiên, điều này lại làm cho dòng rò trên transistor tăng lên và đồng nghĩa với việc công suất tiêu thụ tĩnh ngày càng tăng.

1.2 Một số phương pháp thiết kế vi mạch công suất thấp

Như đã đề cập trong các Mục 1.1.1 và Mục 1.1.2, có nhiều phương pháp khác nhau để có thể làm giảm công suất tiêu thụ tĩnh và công suất tiêu thụ động trên một vi mạch. Tùy thuộc vào yêu cầu, mục đích của ứng dụng khi thiết kế một vi mạch cũng như tùy thuộc vào công nghệ bán dẫn dùng để sản xuất vi mạch mà người thiết kế có thể áp dụng một hoặc nhiều phương pháp khác nhau nhằm làm giảm công suất tiêu thụ cho thiết kế của mình.

1.2.1 Phương pháp chặn cấp xung nhịp

1.2.2 Phương pháp thiết kế đa điện áp nguồn

Như đã trình bày trong Mục 1.1.1, công suất tiêu thụ động tỷ lệ với bậc hai điện áp nguồn cung cấp (V_{dd}^2). Vì vậy, bằng cách làm giảm điện áp nguồn cho từng thành phần trong vi mạch, ta sẽ giảm được công suất tiêu thụ động trên toàn hệ thống.

1.2.3 Phương pháp thiết kế đa điện áp ngưỡng

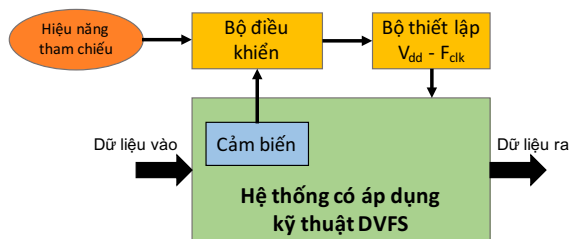
Cùng với sự thu nhỏ kích thước của transistor nhờ vào những tiến bộ của công nghệ bán dẫn thì việc sử dụng các thư viện hỗ trợ đa điện áp ngưỡng V_T đã trở thành một cách thức phổ biến nhằm làm giảm dòng điện rò trong mạch.

1.3 Phương pháp thiết kế đa điện áp nguồn

Để giảm năng lượng tiêu thụ trên vi mạch, nhiều phương pháp thiết kế đã được đưa ra để làm giảm cả năng lượng tiêu thụ tĩnh và năng lượng tiêu thụ động trên mạch. Trong các phương pháp này, có hai phương pháp hiện được sử dụng nhiều và tương đối phổ biến đó là: chặn cấp nguồn (power gating) và thay đổi điện áp nguồn thích nghi (adaptive voltage scaling).

1.3.1 Phương pháp điều khiển tỷ lệ điện áp - tần số động

Phương pháp điều khiển tỷ lệ điện áp - tần số động (DVFS) được biết đến như là một kỹ thuật phổ biến để quản lý năng lượng tiêu thụ ở mức hệ thống. Một hệ thống khi được áp dụng phương pháp DVFS có thể được xem như là một hệ thống điều khiển vòng kín vì tần số hoạt động và điện áp cung cấp sẽ được điều chỉnh phụ thuộc vào tải của hệ thống. Thách thức lớn nhất khi thiết kế một hệ thống có áp dụng kỹ thuật DVFS đó là làm sao để có thể đo và dự đoán chính xác sự thay đổi về tải của hệ thống nhằm có thể điều chỉnh tần số, điện áp cung cấp một cách kịp thời và chính xác. Một hệ thống sử dụng phương pháp DVFS để quản lý năng lượng thường gồm các khối cơ bản được mô tả như ở Hình 1.1



Hình 1.1: Mô hình hệ thống sử dụng phương pháp điều khiển tỷ lệ tần số - điện áp động.

1.3.2 Một số thách thức trong thiết kế đa điện áp nguồn

1.4 Thuật toán lô-gíc mờ và ứng dụng trong điều khiển tự động

1.4.1 Giới thiệu chung

1.4.2 Lý thuyết mờ

Tập mờ

Tập kinh điển

Khái niệm tập hợp dựa trên nền tảng lô-gíc được định nghĩa như là sự sắp xếp chung các đối tượng có cùng tính chất và được gọi là phần tử của tập hợp đó.

Định nghĩa tập mờ

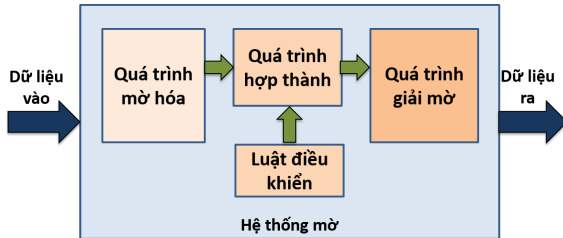
Lô-gíc mờ

Khái niệm

Lô-gíc mờ (fuzzy logic) được phát triển từ lý thuyết tập mờ để thực hiện lập luận một cách xấp xỉ thay vì lập luận chính xác theo lô-gíc cổ điển. Độ đúng đắn của lô-gíc mờ biểu diễn độ liên thuộc với các tập được định nghĩa không rõ ràng, chứ không phải khả năng xảy ra một biến cố hay điều kiện nào đó.

Thiết kế hệ thống mờ

Để thiết lập một hệ thống mờ hoàn chỉnh, chúng ta cần xây dựng các thành phần con của hệ thống như ở Hình 1.2.



Hình 1.2: Mô hình cơ bản của một hệ thống mờ.

Một mô hình hệ thống lô-gíc mờ sẽ bao gồm các yếu tố sau: dữ liệu (đầu vào và đầu ra), các hàm chuyển đổi, các phép toán lô-gíc và các biến ngôn ngữ.

Kết luận chương

Trong Chương 1 này, luận án đã tập trung vào việc phân tích một số nguyên nhân chính gây ra công suất tiêu thụ trên một mạch tích hợp. Từ đó, luận án cũng đã tìm hiểu và đánh giá hiệu quả của một số phương pháp thiết kế giúp giảm được công suất tiêu thụ của hệ thống. Một phương pháp thiết kế theo hướng tiết kiệm năng lượng đang được áp dụng tương đối phổ biến trong các thiết kế vi mạch hiện nay đó là phương pháp điều khiển tỷ lệ điện áp - tần số động (DVFS) cũng đã được luận án tìm hiểu, phân tích để làm cơ sở cho những nghiên cứu trong các phần sau.

Chương 2

Mạng trên chip và một số vấn đề về tối ưu năng lượng tiêu thụ

Chương này tập trung đề cập đến những đặc điểm cơ bản của một mạng trên chip. Đồng thời, chương này cũng sẽ tìm hiểu và đánh giá một số giải pháp giảm thiểu năng lượng tiêu thụ đã được nghiên cứu và áp dụng thành công cho một số mạng trên chip.

2.1 Giới thiệu chung về mạng trên chip

2.1.1 Giới thiệu chung

2.1.2 Một số khái niệm cơ bản về mạng trên chip

Cấu trúc liên kết mạng

Cấu trúc liên kết của mạng hay còn được gọi là tô-pô (topology) là phương thức mà các bộ định tuyến (router) trong mạng kết nối với nhau thông qua các liên kết mạng (network link).

Kỹ thuật truyền thông

Kỹ thuật truyền thông là sự định nghĩa về chiến lược, cách thức vận chuyển dữ liệu trên các mạng trên chip.

Cơ chế truyền thông

Trong kỹ thuật nối-chuyển gói khá phức tạp, các gói tin được chia thành các đơn vị nhỏ hơn, có kích thước cố định, gọi là *flit* (đơn vị điều khiển luồng dữ liệu trong mạng). Đây là một đơn vị đồng thời chứa dữ liệu và thông tin điều khiển, có thể được truyền trong mạng. Do đó, ta phải định nghĩa *cơ chế truyền thông* (commutation mode), có nghĩa là định nghĩa cách thức các gói tin đi từ bộ định tuyến này sang bộ định tuyến tiếp theo trong mạng.

Chiến lược lưu trữ

Chiến lược lưu trữ chính là việc bố trí các bộ đệm dữ liệu tại các lối vào hay lối ra của bộ định tuyến. Có bốn chiến lược cơ bản hay được dùng khi thiết kế, xây dựng các mạng trên chip, đó là: *hàng đợi lối vào* (input queuing), *hàng đợi lối ra* (output queuing), *hàng đợi lối*

ra ảo (virtual output queuing), *hàng đợi lối vào ưu tiên kênh ảo* (virtual channel priority input queuing).

Thuật toán định tuyến

Thuật toán định tuyến làm nhiệm vụ xác định đường đi từ nguồn về đích của một gói tin. Trong một kiến trúc truyền thông, thuật toán đóng một vai trò hết sức quan trọng; thuật toán tối ưu nhất sẽ đem lại hiệu năng truyền thông cao nhất.

Giao thức truyền thông

Trong một hệ thống truyền thông, giao thức truyền thông xác định nguyên tắc truyền dữ liệu. Đó là một loạt các quy định và phương pháp cần thiết để truyền một thông tin từ nơi phát đến nơi nhận. Để đơn giản việc thực hiện giao thức truyền thông, người ta chia giao thức thành các tầng khác nhau với các chức năng xác định.

2.2 Một số giải pháp thiết kế mạng trên chip theo hướng giảm công suất tiêu thụ

2.2.1 Kiến trúc ALPIN

Trong kiến trúc này, các tác giả đã đưa ra nhiều giải pháp khác nhau, áp dụng trên một kiến trúc mạng trên chip bất đồng bộ để giảm thiểu năng lượng tiêu thụ cho toàn mạng bằng cách áp dụng kỹ thuật thiết kế GALS (dị bộ toàn cục - đồng bộ cục bộ).

Kiến trúc chung của ALPIN

Kiến trúc điều khiển năng lượng tự thích nghi trong ALPIN

2.2.2 Mô hình điều khiển tần số - điện áp dựa trên kỹ thuật PSTR

Trong mô hình này, các tác giả đã thiết kế một mạng trên chip sử dụng kỹ thuật GALS để phân chia các vùng điện áp và tần số hoạt động khác nhau. Kỹ thuật điều khiển chính được đề xuất trong công trình này là một thiết kế được gọi là PSTR (Programmable Self-Timed Ring).

2.2.3 Bộ phối ghép mạng công suất thấp theo chuẩn OCP

Đây là một cấu trúc phần cứng dành cho bộ phối ghép mạng (NI: Network Interface) sử dụng chuẩn giao tiếp Open Core Protocol (OCP) để giảm năng lượng tiêu thụ trong một mạng NoC dạng 2D-mesh bằng

cách sử dụng phương pháp chặn cấp xung nhịp đối với các đơn vị mạng không hoạt động.

2.2.4 Kiến trúc Producer-Consumer FIFO

Với kiến trúc này, các tác giả đề xuất một phương pháp phân chia vùng điện áp/tần số dựa trên việc kết hợp các lõi IP lân cận, cùng sử dụng một giá trị điện áp nguồn và xung nhịp hoạt động. Các lõi IP này được liên kết cùng với nhau để tạo thành một vùng điện áp/tần số độc lập (VFI: Voltage Frequency Island).

Kết luận chương

Trong Chương 2 này, luận án đã tập trung giới thiệu những đặc điểm cơ bản của một mạng trên chip. Một số giải pháp đã được nghiên cứu và áp dụng thành công cho một số mạng trên chip nhằm làm giảm thiểu năng lượng tiêu thụ của các hệ thống đó cũng đã được luận án tìm hiểu, phân tích và đánh giá trong chương này để đưa ra được hướng tiếp cận cho mô hình giải pháp mà luận án đề xuất trong Chương 3.

Chương 3

Mô hình bộ điều khiển tần số - điện áp cho bộ định tuyến của mạng trên chip

Trong chương này, luận án sẽ tập trung trình bày một giải pháp được đề xuất để nhằm giảm năng lượng tiêu thụ ở các nốt mạng trong một mô hình mạng trên chip. Mô hình này được đề xuất dưới hình thức là ý tưởng về một bộ điều khiển tần số - điện áp cho bộ định tuyến được sử dụng trong mạng trên chip.

3.1 Đề xuất mô hình bộ điều khiển tần số - điện áp cho bộ định tuyến

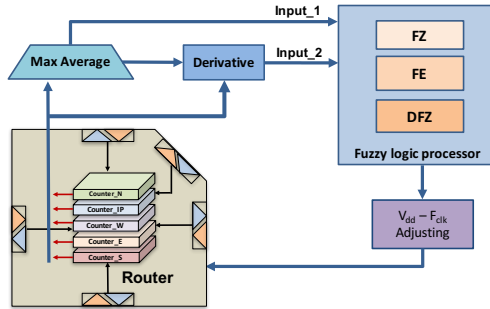
Luận án này đứng trên quan điểm lưu lượng truyền thông qua một bộ định tuyến cũng chính là đại lượng phản ánh mức độ hoạt động của bộ định tuyến đó. Nếu lưu lượng truyền thông lớn, bộ định tuyến cần phải được cấp tần số cũng như điện áp hoạt động cao hơn để đáp ứng tốc độ truyền dữ liệu cao và ngược lại. Để đánh giá chính xác tình trạng hoạt động của mạng tại mỗi bộ định tuyến, luận án sử dụng thông số mức độ sử dụng liên kết giữa hai bộ định tuyến (LU: Link Utilization) như một đại lượng đánh giá lưu lượng truyền thông qua mỗi bộ định tuyến.

Luận án này đề xuất sử dụng một khối điều khiển tần số - điện áp để thay đổi tần số và điện áp hoạt động của bộ định tuyến theo mức độ hoạt động của chính bộ định tuyến đó. Khối điều khiển này có nhiệm vụ giám sát lưu lượng truyền thông qua bộ định tuyến, từ đó dự đoán lưu lượng truyền thông qua bộ định tuyến trong tương lai gần để đưa ra quyết định tăng hoặc giảm tần số - điện áp một cách phù hợp với hoạt động của bộ định tuyến.

Mô hình của hệ thống được đề xuất được mô tả như sơ đồ khối ở Hình 3.1.

3.2 Thiết kế và mô hình hoá bộ điều khiển tần số - điện áp

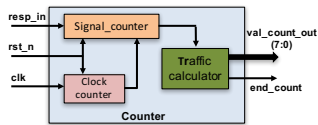
Với mô hình của khối điều khiển tần số - điện áp đã được đề xuất như ở trên, luận án tiếp tục thực hiện quá trình mô hình hoá mô hình bằng cách sử dụng ngôn ngữ mô tả phần cứng VHDL.



Hình 3.1: Mô hình khối điều khiển tần số điện áp cho bộ định tuyến của mạng trên chip.

3.2.1 Khối đo lưu lượng

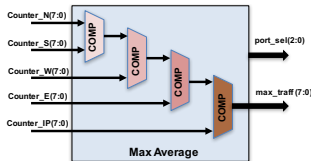
Khối đo lưu lượng (Counter) sẽ nhận tín hiệu bắt tay từ bộ định tuyến để thực hiện việc đo số lượng flit. Mô hình của khối đo lưu lượng được mô tả như trong Hình 3.2.



Hình 3.2: Sơ đồ khối mô tả khối đo lưu lượng.

3.2.2 Khối tính toán giá trị lưu lượng trung bình cực đại

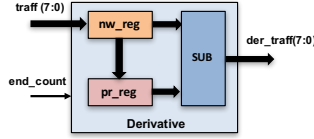
Khối MA sẽ xác định được giá trị lưu lượng trung bình lớn nhất truyền qua bộ định tuyến và giá trị này thuộc về cổng truyền nào.



Hình 3.3: Mô hình khối tính toán giá trị lưu lượng trung bình cực đại.

3.2.3 Khối tính toán biến thiên lưu lượng

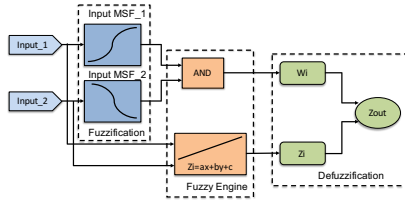
Khối tính toán biến thiên lưu lượng (DER) sẽ thực hiện việc tính toán biến thiên lưu lượng qua từng cổng của bộ định tuyến.



Hình 3.4: Mô hình khối tính toán biến thiên giá trị lưu lượng.

3.2.4 Khối xử lý lô-gíc mờ

Mô hình bộ FLP được đề xuất là một xử lý lô-gic mờ với hai đầu vào, một đầu ra, sử dụng mô hình Sugeno bậc 0. Mô hình này được thực thi với từng khối con như sau (Hình 3.5):



Hình 3.5: Mô hình sơ đồ khối của khối xử lý lô-gíc mờ.

Quá trình mờ hoá

Quá trình mờ hoá là quá trình chuyển đổi từ một giá trị rõ của đầu vào, thành một giá trị liên thuộc đối với từng hàm liên thuộc. Quá trình mờ hoá giá trị lưu lượng ở đầu vào $input_1$ sẽ được thực hiện thông qua 05 hàm liên thuộc, tương ứng với các biến ngôn ngữ tự nhiên là: “*vlow, low, medium, high, vhigh*”. Với đầu vào $input_2$, quá trình mờ hoá sẽ được thực hiện thông qua ba hàm liên thuộc với các biến ngôn ngữ tương ứng là: “*slow, normal, fast*”. Đầu ra Z_{out} của FLP là một giá trị hằng số, tương ứng với tần số hoạt động của bộ định tuyến. Vì vậy đầu ra sẽ được mô tả bằng ba hàm liên thuộc với các biến ngôn ngữ là: “*low, normal và high*”.

Quá trình xác định quy luật hợp thành

Bằng việc áp dụng mô hình Sugeno, một quy luật hợp thành trong mô hình có thể được phát biểu dưới dạng quy luật IF-THEN như sau: “**IF** $input_1 = x$ **AND** $input_2 = y$ **THEN** $Output = ax + by + c$ ”

Trong trường hợp $a = b = 0$ và đầu ra là một hằng số thì ta gọi mô hình này là mô hình Sugeno bậc 0. Với các hàm liên thuộc được mô tả như trong phần 3.2.4, ta sẽ có tất cả 5×3 quy luật hợp thành.

Quá trình giải mờ

Quá trình giải mờ là quá trình tính toán lại giá trị chính xác ở đầu ra của FLP. Với các giá trị đầu ra của từng quy luật hợp thành z_i và giá trị trọng số w_i của nó, quá trình giải mờ sẽ sử dụng phương pháp xác định giá trị trọng tâm để tính ra giá trị đầu ra Z_{out} .

3.3 Mô phỏng hoạt động lô-gíc của bộ điều khiển tần số - điện áp

Để kiểm chứng các hoạt động lô-gíc của bộ điều khiển tần số - điện áp, từng khối chức năng trong bộ điều khiển tần số - điện áp sẽ được mô phỏng các hoạt động ở mức lô-gíc bằng phần mềm ModelSim.

3.3.1 Mô phỏng hoạt động của khối đo lưu lượng

3.3.2 Mô phỏng hoạt động của khối xác định lưu lượng cực đại

3.3.3 Mô phỏng hoạt động của khối xác định biến thiên lưu lượng

3.3.4 Mô phỏng hoạt động của khối xử lý lô-gíc

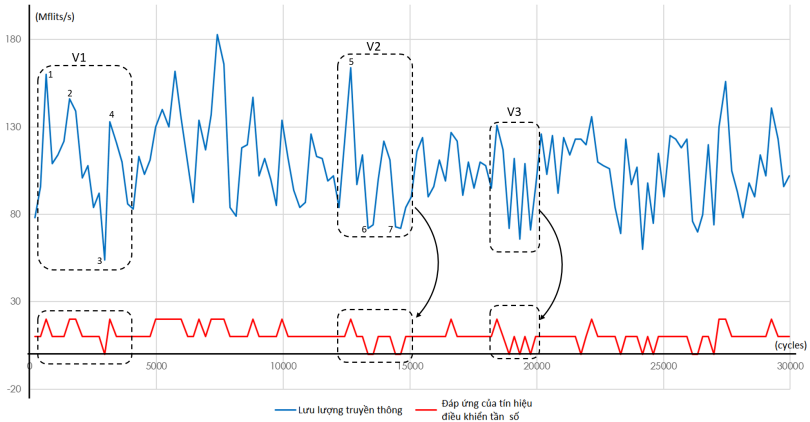
Chương trình testbench sẽ tạo ra các dữ liệu đầu vào với giá trị ngẫu nhiên và đưa vào các đầu vào *input_1* và *input_2* của khối FLP (tương ứng

3.3.5 Mô phỏng hoạt động của bộ điều khiển tần số - điện áp

Kết quả mô phỏng hoạt động của bộ điều khiển tần số - điện áp được thể hiện như ở trong Hình 3.6

Kết luận chương

Chương 3 của luận án đã đề xuất mô hình của một bộ điều khiển tần số - điện áp cho các bộ định tuyến để nhằm giảm năng lượng tiêu thụ ở các nút mạng trong một mô hình mạng trên chip. Mô hình của bộ điều khiển tần số - điện áp cũng đã được luận án tiến hành mô hình hóa bằng ngôn ngữ mô tả phần cứng VHDL ở mức chuyển dịch thành ghi (RTL) để có thể xây dựng phương án đánh giá, ước lượng được hiệu



Hình 3.6: Kết quả mô phỏng khả năng đáp ứng của bộ điều khiển tần số điện áp theo sự thay đổi của lưu lượng truyền thông.

quả của mô hình này. Các mô phỏng hoạt động lô-gíc của từng khối trong mô hình và toàn bộ khối điều khiển cũng đã được thực hiện trên phần mềm ModelSim. Các kết quả thu được đã chứng tỏ bộ điều khiển tần số - điện áp hoạt động hoàn toàn đúng với các đặc tả kỹ thuật mà luận án đã đặt ra cho mô hình này.

Chương 4

Mô phỏng - đánh giá hiệu năng của bộ điều khiển tần số điện áp

Chương này tập trung tìm hiểu mô hình ORION, một mô hình cho phép ước lượng, đánh giá năng lượng tiêu thụ của mạng trên chip với độ chính xác gần bằng với các kết quả tổng hợp phần cứng. Phần mềm mô phỏng VNOC 2.0 và một số chiến lược đánh giá hiệu năng tiêu thụ năng lượng của bộ điều khiển tần số - điện áp cũng sẽ được thảo luận trong chương này.

4.1 Mô phỏng và ước lượng công suất tiêu thụ của một mạng trên chip

4.1.1 ORION 3 - Một mô hình hiệu quả để đánh giá năng lượng tiêu thụ cho mạng trên chip

Để có thể mô phỏng và ước lượng được công suất tiêu thụ của một mạng trên chip ở mức kiến trúc, các mô hình ước lượng thường được xây dựng dựa trên theo hai hướng tiếp cận chính:

- Ở hướng tiếp cận thứ nhất, mô hình được xây dựng dựa trên các mô hình mẫu có sẵn ở mức kiến trúc. Với hướng tiếp cận này, một tập các mô hình mẫu về công suất tiêu thụ và diện tích thực thi của từng khối thành phần trong bộ định tuyến sẽ được đề xuất. Các khối chính của bộ định tuyến mà các mô hình này thường dùng để xây dựng tập mẫu là: bộ đệm cổng vào/ra, bộ chuyển mạch chéo (crossbar), các chuyển mạch (switch), bộ phân chia kênh ảo (VC arbiter). Tùy thuộc vào kiến trúc cụ thể của bộ định tuyến mà mô hình mẫu phù hợp với từng khối thành phần sẽ được lựa chọn để cho phép mô phỏng và ước lượng được công suất tiêu thụ và diện tích thực thi của hệ thống mạng trên chip cần thiết kế.
- Với cách tiếp cận thứ hai, các mô hình mô phỏng sẽ được xây dựng dựa trên việc phân tích hồi quy các dữ liệu thu được từ sau khi thực hiện quá trình đặt chỗ và định tuyến (post Place &

Route).

Cấu trúc của mô hình ORION 3

Mô hình ORION 3 được mô hình hoá dưới dạng từng khối thành phần của một bộ định tuyến. Mô hình của từng khối thành phần được các tác giả phát triển dựa trên việc phân tích quá trình sau tổng hợp (post-synthesis) và netlists được sinh ra từ quá trình đặt chỗ và định tuyến (P&R) của hai bộ định tuyến là Net Maker (được phát triển bởi trường Cambridge) và Open Sorce NoC router (phát triển bởi trường đại học Standford).

4.1.2 Phần mềm mô phỏng VNOC 2.0

Phần mềm VNOC 2.0 được phát triển để mô phỏng các hoạt động của mạng trên chip. Bên cạnh việc hỗ trợ mô phỏng các hoạt động thông thường của một mạng trên chip, VNOC 2.0 còn được tích hợp hai mô hình ORION 2 và ORION 3 cho phép ước lượng năng lượng tiêu thụ của mạng trên chip đó trong quá trình mô phỏng. Vì vậy, người dùng có thể áp dụng các thuật toán về điều khiển tần số - điện áp dựa trên phương pháp DVFS trên NoC và nhận được các kết quả mô phỏng về năng lượng mà hệ thống đã tiêu thụ.

4.2 Đánh giá hiệu năng của bộ điều khiển tần số điện áp

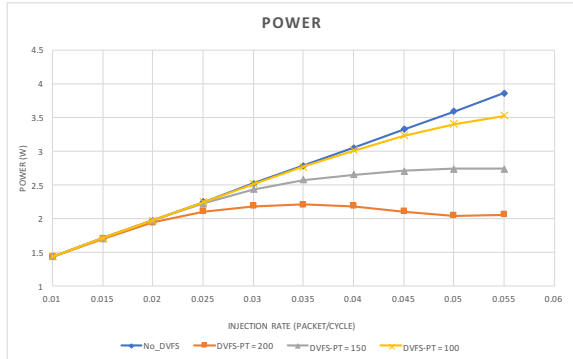
4.2.1 Mô phỏng đánh giá hiệu năng với dạng truyền thông UNIFORM

Để đánh giá hiệu quả của bộ điều khiển tần số - điện áp đối với dạng truyền thông UNIFORM, luận án tiến hành chạy mô phỏng với thông số *traffic* được thiết lập là UNIFORM. Đồ thị biểu diễn sự phụ thuộc của năng lượng tiêu thụ với tỷ lệ gói tin gửi vào mạng trong trường hợp này được thể hiện như ở Hình 4.1.

4.2.2 Mô phỏng đánh giá hiệu năng với dạng truyền thông SELF-SIMILAR

Kết luận chương

Sau khi đã thiết kế và mô hình hóa bộ điều khiển tần số - điện áp cho bộ định tuyến trong mạng trên chip như trong Chương 3, luận án đã tiến hành thực hiện việc ước lượng, đánh giá và kiểm chứng hiệu năng của mô hình đã được đề xuất. Trong chương này, luận án đã tập trung tìm hiểu về mô hình ORION 3, một mô hình cho phép ước lượng,



Hình 4.1: Kết quả mô phỏng về công suất tiêu thụ đối với kiểu truyền thông UNIFORM.

đánh giá năng lượng tiêu thụ của mạng trên chip với độ chính xác gần bằng với các kết quả tổng hợp phần cứng. Bằng cách áp dụng mô hình ORION 3, kết hợp với phần mềm mô phỏng VNOC 2.0, luận án đã chứng tỏ được giải pháp giảm thiểu công suất tiêu thụ đã được đề xuất đã hoạt động hiệu quả khi cho phép hệ thống giảm tới 43% công suất tiêu thụ trong khi duy trì được độ trễ truyền của hệ thống tăng thêm không quá cao.

Kết luận và hướng phát triển

Kết luận

Luận án này đã đặt ra mục tiêu nghiên cứu là đề xuất được một giải pháp hoặc kỹ thuật nhằm tối ưu hoá năng lượng tiêu thụ cho các hệ thống mạng trên chip. Luận án đã đề xuất được một giải pháp dựa trên thuật toán lô-gíc mờ và phương pháp điều khiển thay đổi tỷ lệ tần số - điện áp động (DVFS) để giảm năng lượng tiêu thụ tại các nốt mạng của một hệ thống mạng trên chip. Luận án đã đề xuất được mô hình một bộ điều khiển để điều chỉnh tần số - điện áp cung cấp cho bộ định tuyến tùy thuộc theo lưu lượng chuyển qua bộ định tuyến đó. Một bộ xử lý dựa trên thuật toán lô-gíc mờ đã được luận án đề xuất để dự đoán sự thay đổi của lưu lượng truyền thông và từ đó thay đổi tần số - điện áp cung cấp phù hợp với sự thay đổi này theo phương pháp điều khiển thay đổi tỷ lệ tần số - điện áp động (DVFS). Mô hình bộ xử lý lô-gíc mờ đã được mô hình hoá ở mức RTL bằng ngôn ngữ mô tả phần cứng VHDL và đã được mô phỏng để chứng tỏ các hoạt động lô-gíc của bộ xử lý này là đúng theo đặc tả kỹ thuật mà luận án đề ra. Các kết quả nghiên cứu về mô hình của bộ xử lý lô-gíc mờ cũng đã được công bố tại hội nghị REV-ECIT 2014 (công trình [C1]) và hội nghị IEEE PRIME 2015 (công trình [C2]).

Toàn bộ kiến trúc của bộ điều khiển tần số - điện áp bao gồm các khối thành phần và lõi xử lý lô-gíc mờ cũng đã được luận án đưa ra và đã được mô hình hoá ở mức chuyển thanh ghi để có thể kiểm chứng khả năng thực thi phần cứng của mô hình giải pháp được đề xuất. Hoạt động của từng khối thành phần cũng như của bộ điều khiển tần số - điện áp sau khi đã được tích hợp đầy đủ mọi thành phần con đã được mô phỏng ở mức lô-gíc bằng phần mềm ModelSim. Các kết quả mô phỏng đã chứng tỏ bộ điều khiển tần số - điện áp đã đáp ứng được yêu cầu nghiên cứu mà luận án đặt ra. Những kết quả mô hình hoá và kết quả mô phỏng hoạt động toàn bộ hệ thống điều khiển tần số - điện áp này cũng đã được công bố tại hội nghị IEEE ATC 2016 (công trình [C3]) và tại tạp chí JCSCE (công trình [J1]).

Để đánh giá được hiệu quả của giải pháp đã đề xuất, luận án đã tiến hành nghiên cứu, tìm hiểu về mô hình ORION - một mô hình cho

phép đánh giá và ước lượng năng lượng tiêu thụ của các mạng trên chip với độ chính xác cao. Dựa trên mô hình ORION, luận án đã ứng dụng phần mềm VNOC 2.0 để phát triển một môi trường đánh giá ước lượng hiệu quả của mô hình bộ điều khiển tần số - điện áp được đề xuất. Kết quả mô phỏng đã cho thấy khi có áp dụng bộ điều khiển thì công suất tiêu thụ của hệ thống mạng trên chip có thể giảm tới 43% trong khi độ trễ truyền chỉ tăng thêm khoảng 80%. Các kết quả này cũng đã được công bố tại hội nghị IEEE ICICDT 2017 (công trình [C4]).

Hướng phát triển

Sau quá trình nghiên cứu tìm hiểu, luận án đã đạt được mục tiêu đặt ra khi tiến hành nghiên cứu về đề tài: “Giải pháp tối ưu công suất tiêu thụ cho các kiến trúc mạng trên chip”. Giải pháp mà luận án đề xuất đã chứng tỏ được hiệu quả về mặt tiết kiệm năng lượng cho một hệ thống mạng trên chip khi có thể giảm công suất tiêu thụ cho hệ thống lên đến 43% trong khi duy trì được độ trễ truyền tăng không quá cao.

Tuy vậy, trong tương lai giải pháp mà luận án đưa ra vẫn cần được tiếp tục phát triển thêm để đạt độ hoàn thiện cao hơn và có khả năng đưa vào ứng dụng cho các mạng trên chip trong thực tế. Trong tương lai nếu được tiếp cận với các thư viện tổng hợp ASIC phù hợp, tác giả luận án đề xuất tiếp tục phát triển giải pháp này thành một kiến trúc phần cứng hoàn thiện.

Một hướng nghiên cứu khác mà tác giả luận án cũng muốn đề xuất trong tương lai đó là việc cải thiện thêm khả năng dự đoán lưu lượng tải của hệ thống bằng cách nâng cao chức năng cho khối xử lý lô-gíc mờ. Phương pháp thực hiện có thể là thay đổi kiến trúc của bộ xử lý này để tăng số lượng các hàm liên thuộc và các qui tắc ứng xử của nó nhằm nâng cao độ chính xác của quá trình dự đoán. Ngoài ra, cùng với việc sử dụng thuật toán lô-gíc mờ, một hướng tiếp cận khác cho việc dự đoán lưu lượng đó là sử dụng các mô hình máy học (machine learning) để tiến hành dự đoán. Đây cũng là hướng nghiên cứu mà tác giả luận án và các đồng nghiệp tại Phòng thí nghiệm trọng điểm Hệ thống tích hợp thông minh (SISLAB) thuộc trường Đại học Công nghệ đang bắt đầu triển khai nghiên cứu.

Danh mục công trình khoa học của tác giả

Các công trình có liên quan đến luận án

- C1 **Hai-Phong Phan**, Xuan-Tu Tran, “Thiết kế và mô hình hoá bộ xử lý lô-gic mờ trong điều khiển tần số - điện áp”, In *Proceeding of the 2014 National Conference on Electronics, Communications and Information Technology (REV-ECIT 2014)*, pp. 48-53, Nha Trang, Viet Nam, 2014, ISBN: 978-604-67-0349-5.
- C2 **Hai-Phong Phan**, Xuan-Tu Tran, “A Fuzzy-Logic based Voltage-Frequency Controller for Network-on-Chip Routers”, In *Proceedings of the 11th IEEE Conference on PhD Research in Microelectronics and Electronics (IEEE PRIME 2015)*, pp. 192-195, July 2015, Glasgow, Scotland, ISBN: 978-1-4799-8229-5.
- C3 **Hai-Phong Phan**, Xuan-Tu Tran, “Fuzzy-Logic based Low Power Solution for Network-on-Chip Architectures”, In *Proceedings of the 2016 International Conference on Advanced Technologies for Communications (ATC 2016)*, pp. 334-338, 12-14 October 2016, Hanoi, Vietnam, ISBN: 978-1-5090-2711-8.
- C4 **Hai-Phong Phan**, Xuan-Tu Tran, Tomohiro Yoneda, “Power Consumption Estimation using VNOC2.0 Simulator for a Fuzzy-Logic based Low Power Network-on-Chip”, In *Proceedings of the 2017 IEEE International Conference on IC Design and Technology (IEEE ICICDT 2017)*, pp. 1-4, 23-25 May 2017, Austin, Texas, USA, ISBN: 978-1-5090-4502-0.
- J1 **Hai-Phong Phan**, Xuan-Tu Tran, “Design and Modeling of a Voltage-Frequency Controller for Network-on-Chip Routers base on Fuzzy-Logic”, *VNU Journal of Science: Computer Science and Communication Engineering*, pp. 56-65, 2015, ISSN:0866-8612 .

Các công trình khác đã công bố trong quá trình làm nghiên cứu sinh

- C5 Thanh-Vu Le Van, **Hai-Phong Phan**, Xuan-Tu Tran (2014), “High-Level Modeling of a Novel Reconfigurable Network-on-Chip Router”,

in Proceeding of the First NAFOSTED Conference on Information and Computer Science (NICS 2014), 13-14 March 2014, Hanoi, Vietnam, ISBN: 978-604-67-0228-3.

- C6 **Hai-Phong Phan**, Hung K. Nguyen, Duy-Hieu Bui, Nam-Khanh Dang, Xuan-Tu Tran, “System-on-Chip Testbed for Validating the Hardware Design of H.264/AVC Encoder”, In *Proceeding of the National Conference on Electronics and Communications (REV 2013)*, pp. 51-55, Ha Noi, Viet Nam, 2013.
- C7 Tung Nguyen, Duy-Hieu Bui, **Hai-Phong Phan**, Trong-Trinh Dang, Xuan-Tu Tran. “High-Performance Adaption of ARM Processor into Network-on-Chip Architectures”. In *Proceedings of the 26th IEEE System-on-Chip Conference (IEEE SOCC 2013)*, pp. 222-227, September 2013, Erlangen, Germany. ISSN: 2164-1706.
- J2 Xuan Tu Tran and Tung Nguyen and **Hai Phong Phan** and Duy Hieu Bui. AXI-NoC Adapter: High-Performance Adaptation Unit for ARM Processors in Network-on-Chip Architectures. *IE-ICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, E100-A (8). pp. 1650-1660, 2017, ISSN 1745-1337. (**SCIE**)